

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114890

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H03F 3/45
G02F 1/133

(21)Application number : 10-285211

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.10.1998

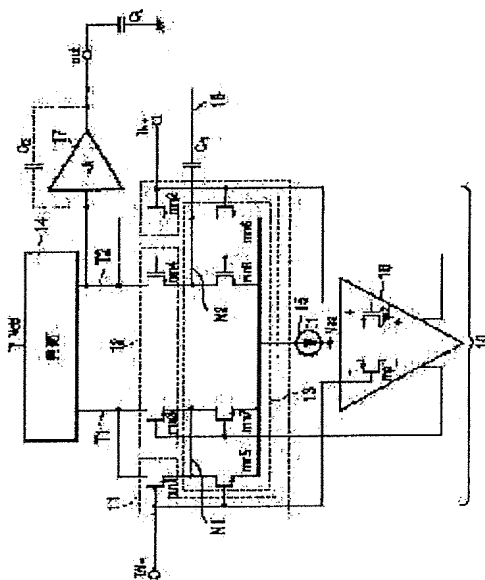
(72)Inventor : ITAKURA TETSURO

(54) AMPLIFIER AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplifier capable of realizing stable operation with small phase compensation capacity without limiting the increase of current consumption or amplitude range of input signal voltage.

SOLUTION: This amplifier has a first differential transistor pair 11 for amplifying signals inputted to signal input terminals IN+ and IN-. Together with the differential transistor pair 11, a second transistor pair 12 is provided while commonly connecting drains to common load terminals T1 and T2. A transistor circuit 13 connected between the common sources of the differential transistor pairs 11 and 12 is provided. A differential amplifier circuit 16 is provided for generating a differential output signal to be inputted to the second transistor pair 12 by receiving the differential input signals inputted to the signal input terminals IN+ and IN- through a third differential transistor pair. An inverted amplifier circuit 17 is provided while connecting input/output terminals to a common load terminal T2 and a signal output terminal OUT. Further, a feedback circuit 18 provided with a capacitor Cf1 for negative feedback from the signal output terminal OUT to a common node N2 of differential transistor pairs 11 and 12 is provided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-114890
(P2000-114890A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

| | | | |
|---------------------------|-------|---------------|-----------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード* (参考) |
| H 0 3 F 3/45 | | H 0 3 F 3/45 | B 2 H 0 9 3 |
| G 0 2 F 1/133 | 5 0 5 | G 0 2 F 1/133 | 5 0 5 5 J 0 6 6 |

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号 特願平10-285211

(22) 出願日 平成10年10月7日 (1998. 10. 7)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

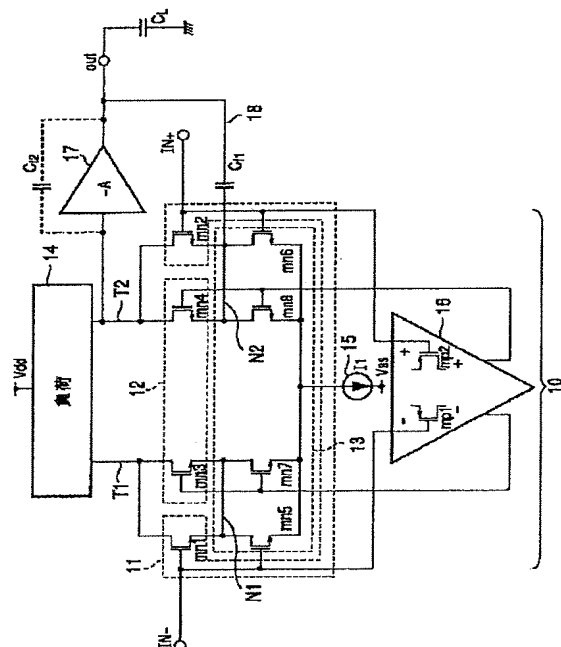
最終頁に続く

(54) 【発明の名称】 増幅器及びこれを用いた液晶ディスプレイ装置

(57) 【要約】

【課題】 消費電流の増加や入力信号電圧の振幅範囲の制限を伴うことなく、小さい位相補償容量で安定な動作を実現できる増幅器を提供する。

【解決手段】 信号入力端子 $IN+$ 、 $IN-$ に入力される信号を増幅する第1の差動トランジスタ対11と、差動トランジスタ対11と共に共通負荷端 $T1$ 、 $T2$ にドレインが共通に接続された第2の差動トランジスタ対12と、差動トランジスタ対11、12の共通ソース間に接続されたトランジスタ回路13と、第3の差動トランジスタ対で信号入力端子 $IN+$ 、 $IN-$ に入力される差動入力信号を受け、第2の差動トランジスタ対12に入力する差動出力信号を発生する差動増幅回路16と、共通負荷端 $T2$ と信号出力端子 OUT に入出力端が接続された反転増幅回路17と、信号出力端子 OUT から差動トランジスタ対11、12の共通ノード $N2$ に負帰還を施す容量素子 $Cf1$ を含む帰還回路18とを有する。



【特許請求の範囲】

【請求項1】差動入力信号が入力される第1、第2の信号入力端子に各々のゲートまたはベースが接続され、第1、第2の共通負荷端に各々のドレインまたはコレクタが接続された第1、第2のトランジスタからなる第1の差動トランジスタ対と、

前記第1、第2の共通負荷端に各々のドレインまたはコレクタが接続された前記第1、第2のトランジスタと同一導電型の第3、第4のトランジスタからなる第2の差動トランジスタ対と、

前記第1～第4のトランジスタと異なる導電型のトランジスタからなる第3の差動トランジスタ対を含んで構成され、この第3の差動トランジスタ対で前記信号入力端子に入力される差動入力信号を受け、前記第3、第4のトランジスタのゲートまたはベースに入力する差動出力信号を発生する差動増幅回路と、

前記第1、第2、第3および第4のトランジスタとゲートが共通に接続され、前記第1、第2、第3および第4のトランジスタのソースまたはエミッタにドレインがそれぞれ接続された第5、第6、第7および第8のトランジスタと、

前記第1、第2の共通負荷端の少なくとも一方に入力端が接続され、出力端が信号出力端子に接続された反転増幅回路と、

前記信号出力端子から、前記第2のトランジスタのソースまたはエミッタと前記第6のトランジスタのドレインとの接続点および前記第4のトランジスタのソースまたはエミッタと前記第8のトランジスタのドレインとの接続点とを共通に接続した共通ノードに帰還を施す少なくとも容量素子を含む帰還回路とを有することを特徴とする増幅器。

【請求項2】差動入力信号が入力される第1、第2の信号入力端子に各々のゲートまたはベースが接続され、第1、第2の共通負荷端に各々のドレインまたはコレクタが接続され、各々のソースまたはエミッタが第1、第2の共通ノードに接続された第1、第2のトランジスタからなる第1の差動トランジスタ対と、

前記第1、第2の共通負荷端に各々のドレインまたはコレクタが接続され、各々のソースまたはエミッタが第1、第2の共通ノードに接続された、前記第1、第2のトランジスタと同一導電型の第3、第4のトランジスタからなる第2の差動トランジスタ対と、

前記第1～第4のトランジスタと異なる導電型のトランジスタからなる第3の差動トランジスタ対を含んで構成され、前記信号入力端子に入力される差動入力信号を受け、前記第3、第4のトランジスタのゲートまたはベースに入力する差動出力信号を発生する差動増幅回路と、前記第1、第2、第3および第4のトランジスタとゲートが共通に接続され、前記第1、第2、第3および第4のトランジスタのソースまたはエミッタにドレインがそ

れぞれ接続された第5、第6、第7および第8のトランジスタと、

前記第1、第2の共通負荷端の少なくとも一方に入力端が接続され、出力端が信号出力端子に接続された反転増幅回路と、

前記信号出力端子から、前記第2の共通ノードに帰還を施す少なくとも容量素子を含む帰還回路とを有することを特徴とする増幅器。

【請求項3】前記第5、第6、第7および第8のトランジスタのソースを共通に接続し、この共通ソースに電流源を接続したことを特徴とする請求項1または2記載の増幅器。

【請求項4】前記第2の共通ノードに前記第6、第8のトランジスタのソースを共通に接続すると共に第1の電流源を接続し、前記第1の共通ノードに前記第5、第7のトランジスタのソースを共通に接続すると共に第2の電流源を接続したことを特徴とする請求項1または2記載の増幅器。

【請求項5】差動入力信号が入力される第1、第2の信号入力端子に各々のゲートまたはベースが接続され、第1、第2の共通負荷端に各々のドレインまたはコレクタが接続され、各々のソースまたはエミッタが第1、第2の共通ノードに接続された第1、第2のトランジスタからなる第1の差動トランジスタ対と、

前記第1、第2の共通負荷端に各々のドレインまたはコレクタが接続され、各々のソースまたはエミッタが第1、第2の共通ノードに接続された、前記第1、第2のトランジスタと同一導電型の第3、第4のトランジスタからなる第2の差動トランジスタ対と、

前記第1～第4のトランジスタと異なる導電型のトランジスタからなる第3の差動トランジスタ対を含んで構成され、前記信号入力端子に入力される差動入力信号を受け、前記第3、第4のトランジスタのゲートまたはベースに入力する差動出力信号を発生する差動増幅回路と、前記第1、第2の共通ノード間に接続されたインピーダンス素子と、

前記第1、第2の共通負荷端の少なくとも一方に入力端が接続され、出力端が信号出力端子に接続された反転増幅回路と、

前記信号出力端子から、前記第2の共通ノードに帰還を施す少なくとも容量素子を含む帰還回路とを有することを特徴とする増幅器。

【請求項6】複数の画素と、

これらの各画素に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、

前記信号線を画像信号に応じて駆動する駆動回路と、前記走査線を順次選択する選択回路とを有し、

前記駆動回路は、請求項1乃至5のいずれか1項に記載の増幅器を有することを特徴とする液晶ディスプレイ装

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば所定の期間毎に変化する入力電圧に応じて容量性負荷を駆動するのに適した増幅器に係り、特に小容量のキャパシタによる位相補償と同相入力電圧範囲の拡大を可能とした増幅器及びこれを用いた液晶ディスプレイ装置に関する。

【0002】

【従来の技術】一般に、液晶ディスプレイ装置は図10に示すように、液晶セル301がマトリクス状に配列され、画像信号が供給される複数本の信号線304と複数本の走査線305が交差して配設されて構成された液晶ディスプレイパネル300と、画像信号を信号線304に供給して液晶ディスプレイパネル300を駆動するための液晶ディスプレイ駆動回路302、および走査線305を選択的に駆動する走査線選択回路303により構成される。

【0003】図11に、従来の液晶ディスプレイ駆動回路302の構成例を示す。同図に示すように、液晶ディスプレイ駆動回路は映像信号（以下、RGB信号という）を記憶する1水平ラインに必要な画素数と同数のラッチ3022と、ラッチ3022にRGB信号をラッチするためのタイミングパルスを送送するシフトレジスタ3021と、ラッチ3022で記憶されたRGB信号を1水平期間の周期でさらに記憶するラッチ3023と、ラッチ3023で記憶された1水平ラインのRGB信号をアナログ値に変換するD/A変換器（デジタルアナログ変換器）3024と、D/A変換器3024でアナログに変換されたRGB信号を入力し、液晶ディスプレイパネル300の信号線304を駆動する信号線駆動回路3025により構成される。

【0004】ここで、液晶ディスプレイパネルの信号線304及び液晶セル301を駆動するための増幅器3025は、従来、ボルテージフォロア構成のものが用いられてきた。増幅器の利得Aが有限であるために、ボルテージフォロア構成で生じる入出力間の誤差は、入力電圧の利得の逆数で表される。この入出力間の誤差を小さくするため、従来の増幅器では増幅段が2段の構成をとっている。

【0005】このような2段構成の増幅器では、発振などの不安定現象を起こすことなく、いかに安定に動作させるかが重要である。この安定化のために、従来では出力段増幅回路の入出力端間にキャパシタ（位相補償容量）を接続する方法がとられている。図10に示したような液晶ディスプレイパネルの信号線304は容量性負荷であり、サイズによっては150pFと大容量である。このように大容量の負荷を駆動する場合、液晶ディスプレイ駆動回路を低消費電流化するためには、一般に出力段増幅回路の電流を小さくし、上述した位相補償用

容量の値を大きくしなければならない。近年、液晶ディスプレイ駆動回路を集積化する際は、1チップ当たり数100個もの増幅器を内蔵するため、位相補償容量によりチップ面積が増大してしまうという問題があった。

【0006】この位相補償容量の値を低減する技術が、“An Improved Frequency Compensation Technique for CMOS Operational Amplifiers”, IEEE Journal of Solid-State Circuits, Vol. SC-18 No. 6, pp. 629-633 Dec. (以下、文献[1])や、“Design Techniques for Cascode CMOS Op Amps with Improved PSRR and Common-Mode Input Range”, IEEE Journal of Solid-State Circuits, Vol. SC-19 No. 6, pp. 919-925, Dec. 1998

(以下、文献[2]という)に記載されている。これは入力段増幅回路の出力端にゲート接地回路のドレインを接続し、ゲート接地回路のソースを低インピーダンスとし、この低インピーダンスのノードに出力段増幅回路である反転増幅回路の出力端から位相補償容量を含む帰還回路を形成する手法である。この手法によると、増幅器の開ループ周波数特性における第2ポールを高周波側にずらすことにより、小さな位相補償容量で動作の安定化を図ることができる。しかし、この手法はゲート接地回路の導入により、消費電流が増加してしまうという問題点があった。

【0007】また、文献[2]の図2には、入力段増幅回路を構成する差動トランジスタ対の出力端にカスコードトランジスタを設けて、いわゆるフォールティッドカスコード回路構成として、このカスコードトランジスタと差動対トランジスタの出力端との接続点を低インピーダンスノードとし、この低インピーダンスノードに上記と同様に反転増幅回路の出力端から位相補償容量を含む帰還回路を形成しているが、この構成ではカスコードトランジスタにより入力信号電圧の振幅範囲が制限されるという問題点があった。

【0008】

【発明が解決しようとする課題】上述したように、従来の位相補償容量により2段構成の増幅器を安定化させる手法では、消費電流の増加を伴ったり、入力信号電圧の振幅範囲が制限されてしまうという問題点があった。

【0009】本発明は、上記従来技術の有する問題点を解消すべくなされたもので、消費電流の増加や入力信号電圧の振幅範囲の制限を伴うことなく、小さい位相補償容量で安定な動作を実現してチップ面積を低減し、製造コストを下げることができる増幅器及びこれを用いた液晶ディスプレイ装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の課題を解決するため、本発明に係る増幅器においては、差動入力信号が入力される第1、第2の信号入力端子に第1の差動対トランジスタを構成する第1、第2のトランジスタの各々のゲートまたはベースが接続され、第1、第2の共通負荷

端に第1、第2のトランジスタの各々のドレインまたはコレクタが接続される。さらに、第1、第2のトランジスタと同一導電型の第3、第4のトランジスタにより第2の差動トランジスタ対が構成され、これら第3、第4のトランジスタの各々のドレインまたはコレクタは第1、第2の共通負荷端に接続される。第1、第2の信号入力端子に入力される差動入力信号は、第1～第4のトランジスタと異なる導電型のトランジスタからなる第3の差動トランジスタ対を含んで構成される差動増幅回路の第3の差動トランジスタ対にも入力され、この差動増幅回路により発生される差動出力信号が第3、第4のトランジスタのゲートまたはベースに入力される。第1、第2、第3および第4のトランジスタとゲートが共通に接続され、第1、第2、第3および第4のトランジスタのソースまたはエミッタにドレインがそれぞれ接続された第5、第6、第7および第8のトランジスタが設けられる。

【0011】さらに、第1、第2の共通負荷端の少なくとも一方に入力端が接続され、出力端が信号出力端子に接続された反転増幅回路が設けられる。そして、第2のトランジスタのソースまたはエミッタと第6のドレインとの接続点および第4のトランジスタのソースまたはエミッタと第8のドレインとの接続点とが共通に接続された共通ノードに、信号出力端子から少なくとも容量素子を含む帰還回路により帰還が施される。

【0012】他の観点によれば、第1の差動対トランジスタを構成する第1、第2のトランジスタの各々のソースまたはエミッタと、第2の差動トランジスタ対を構成する第3、第4のトランジスタの各々のソースまたはエミッタは第1、第2の共通ノードに接続されており、さらに少なくとも容量素子を含む帰還回路によって信号出力端子から第2の共通ノードに帰還が施される。

【0013】また、第1、第2の共通ノード間に第5～第8のトランジスタに代えて、インピーダンス素子を接続してもよい。このように構成される本発明の増幅器では、容量素子を含む帰還回路によって帰還が施される共通ノードが低インピーダンスとなるため、容量素子（位相補償容量）として低容量の素子を用いながら動作の安定化が図られる。また、反転増幅回路の入出力端間に位相補償容量を接続する手法では、位相補償容量を大きくするか、反転増幅回路のバイアス電流を大きくしてトランスコンダクタンスを大きくする必要があったが、本発明の増幅器ではこのような問題が解消する。

【0014】また、カスコードトランジスタにより低インピーダンスノードを実現するために、ゲート接地回路を用いて低インピーダンスノードを実現する手法に比較しても消費電流の増加がなく、この点からも消費電流の低減が可能となる。

【0015】さらに、入力信号電圧が高い場合は第1の差動トランジスタ対が活性化し、入力信号電圧が低い場

合は差動増幅回路の出力により制御されて第2の差動トランジスタ対が活性化することにより、入力信号電圧の広い振幅範囲にわたって増幅を行うことができる。

【0016】すなわち、本発明の増幅器では消費電流の増加や、入力信号電圧の振幅範囲の制限を伴うことなく、小さい位相補償容量で動作の安定化が図られる。従って、この増幅器を集積化した場合、チップ面積を小さくできるので集積度が向上し、製造コストが低減される。

【0017】これらのことから、本発明の増幅器は、複数の画素と、これらの各画素に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、信号線を画像信号に応じて駆動する駆動回路と、走査線を順次選択する選択回路とを有する液晶ディスプレイ装置における上記駆動回路の増幅器として有用である。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

（第1の実施形態）図1は、本発明の第1の実施形態に係る増幅器の構成を示す図である。この増幅器は、第1の信号入力端子IN+（非反転入力端子）と第2の信号入力端子IN-（反転入力端子）との間に入力された差動入力信号を増幅して信号出力端子OUTより出力する回路であり、入力段増幅回路10と、出力段増幅回路10の出力をさらに増幅するための出力段増幅回路である反転増幅回路16からなる。入力段増幅回路10は、第1、第2の差動対トランジスタ11、12、トランジスタ回路13、負荷14、バイアス電流源15および差動増幅回路16から構成される。

【0019】入力段増幅回路10の構成を詳しく説明すると、まず第1の差動トランジスタ対11は、第1、第2の信号入力端子IN+、IN-に各々のゲートがそれぞれ接続され、第1、第2の共通負荷端T1、T2に各々のドレインがそれぞれ接続された第1、第2のトランジスタmn1、mn2により構成される。また、トランジスタmn1、mn2の各々のソースは、第1、第2の共通ノードN1、N2にそれぞれ接続される。

【0020】一方、第2の差動トランジスタ対12は、第1、第2の共通負荷端T1、T2に各々のドレインがそれぞれ接続された第3、第4のトランジスタにより構成される。ここで、トランジスタmn1、mn2とトランジスタmn3、mn4は同一導電型のトランジスタであり、この例ではnチャネルMOSFETが使用される。トランジスタmn3、mn4の各々のソースは、第1、第2の共通ノードN1、N2にそれぞれ接続される。

【0021】共通負荷端T1、T2と高電位側電源端Vddとの間に、後に具体例を示す負荷14が接続される。バイアス電流源15は、第1、第2の差動トランジ

スタ対11、12に共通にバイアス電流を供給するためのものである。

【0022】差動増幅回路16は、第1、第2、第3および第4のトランジスタ $m n 1$ 、 $m n 2$ 、 $m n 3$ 、 $m n 4$ と異なる導電型、この例ではpチャネルMOSFETであるトランジスタ $m p 1$ 、 $m p 2$ からなる第3の差動トランジスタ対を入力部に配置して構成され、この第3の差動トランジスタ対の二つのゲートで信号入力端子 $I N+$ 、 $I N-$ に入力される差動入力信号を受け、第3、第4のトランジスタ $m n 3$ 、 $m n 4$ のゲートに入力する差動出力信号を発生する。

【0023】すなわち、トランジスタ $m p 1$ 、 $m p 2$ の各々のゲートは、信号入力端子 $I N+$ 、 $I N-$ にそれぞれ接続され、差動増幅回路16の差動出力端はトランジスタ $m n 3$ 、 $m n 4$ のゲートに接続される。言い換えれば、トランジスタ $m n 1$ と $m n 3$ のゲート、またトランジスタ $m n 2$ と $m n 4$ のゲートにそれぞれ印加される信号の極性が同じとなるように、差動増幅回路16は接続されている。

【0024】トランジスタ回路13は、第5、第6、第7および第8のトランジスタ $m n 5$ 、 $m n 6$ 、 $m n 7$ 、 $m n 8$ により構成される。トランジスタ $m n 5$ 、 $m n 6$ 、 $m n 7$ 、 $m n 8$ の各々のゲートは、第1、第2、第3および第4のトランジスタ $m n 1$ 、 $m n 2$ 、 $m n 3$ 、 $m n 4$ の各々のゲートとそれぞれ接続され、各々のドレインはトランジスタ $m n 1$ 、 $m n 2$ 、 $m n 3$ 、 $m n 4$ の各々のソースにそれぞれ接続され、また各々のソースは共通接続されており、この共通ソースと低電位側電源端 $V s s$ との間にバイアス電流源15が接続される。

【0025】反転増幅回路17の入力端は第2の共通負荷端 $T 2$ に接続され、出力端は増幅器の信号出力端子 $O U T$ に接続される。そして、信号出力端子 $O U T$ と第2の共通ノード $N 2$ との間に、少なくともキャパシタ $C f 1$ を含む帰還回路18が接続され、この帰還回路18によって負帰還が施される。信号出力端子 $O U T$ には、容量性負荷 $C L$ が接続される。容量性負荷 $C L$ は、例えば図10に示した液晶ディスプレイ装置における信号線304に相当する。

【0026】次に、本実施形態の増幅器の動作を図2～図5を用いて説明する。図2は、信号入力端子 $I N+$ 、 $I N-$ 間に与えられる入力信号電圧が高いときの動作状態を表した図であって、点線で示された部分はオフ状態にあり、実線で示した部分が活性化していることを意味している。すなわち、入力信号電圧が高いときはトランジスタ $m n 1$ 、 $m n 2$ 、 $m n 5$ 、 $m n 6$ は活性化するが、差動増幅回路16の入力部の差動トランジスタ対を構成するトランジスタ $m p 1$ 、 $m p 2$ がオフ状態となるため、トランジスタ $m n 3$ 、 $m n 4$ 、 $m n 7$ 、 $m n 8$ には信号が伝わらない。

【0027】このとき、トランジスタ $m n 2$ は飽和領域

で動作しており、そのソース端はインピーダンスが低い。また、トランジスタ $m n 2$ のソース端は、小信号で見ると仮想接地点となるバイアス電流源15の供給ノードとはトランジスタ $m n 6$ によって分離されている。従って、トランジスタ $m n 2$ のソースに接続されているキャパシタ $C f 1$ からみると、トランジスタ $m n 2$ のゲートには入力信号電圧が印加されているものの、キャパシタ $C f 1$ を介して帰還される信号成分はトランジスタ $m n 2$ のソースに流れ込むので、トランジスタ $m n 2$ のソースは低インピーダンスノードとして働き、結果として文献[1]や文献[2]に示されている手法と同様に、位相補償容量であるキャパシタ $C f 1$ として小容量のキャパシタを用いて位相補償を行うことができる。

【0028】図3に、従来の通常の位相補償（キャパシタ $C f 2$ のみを用いた位相補償）を行った2段構成の増幅器と本実施形態の増幅器について、入力信号電圧が0.2V（ $V s s = 0 V$ 、 $V d d = 5 V$ ）と低い場合の位相および振幅の周波数特性のシュミレーションを行った結果を示す。なお、シュミレーションに際してキャパシタ $C f 1$ 、 $C f 2$ の容量値は同じとした。図3の結果から明らかなように、本実施形態によると従来のキャパシタ $C f 2$ のみによる位相補償を行った2段構成の増幅器に比べ、同じ容量値で位相余裕を大幅に改善できる。

【0029】図4は、信号入力端子 $I N+$ 、 $I N-$ 間に与えられる入力信号電圧が低いときの動作状態を表した図であって、図2と同様に点線で示された部分はオフ状態にあり、実線で示した部分が活性化していることを意味している。すなわち、入力信号電圧が低いときは、トランジスタ $m n 3$ 、 $m n 4$ 、 $m n 7$ 、 $m n 8$ および差動増幅回路14は活性化するが、トランジスタ $m n 1$ 、 $m n 2$ 、 $m n 5$ 、 $m n 6$ はオフ状態にある。

【0030】このとき、トランジスタ $m n 4$ は飽和領域で動作しており、そのソース端のインピーダンスは低い。また、トランジスタ $m n 4$ のソース端は、小信号で見ると仮想接地点となるバイアス電流源15の供給ノードとはトランジスタ $m n 8$ によって分離されている。従って、トランジスタ $m n 4$ のソースに接続されているキャパシタ $C f 1$ からみると、トランジスタ $m n 4$ のゲートには入力信号電圧が印加されているものの、キャパシタ $C f 1$ を介して帰還される信号成分はトランジスタ $m n 4$ のソースに流れ込むので、トランジスタ $m n 4$ のソースは低インピーダンスノードとして働き、入力信号電圧が高い場合と同様にキャパシタ $C f 1$ として小容量のキャパシタを用いて位相補償を行うことができる。

【0031】図5に、従来の通常の位相補償（キャパシタ $C f 2$ のみを用いた位相補償）を行った2段構成の増幅器と本実施形態の増幅器について、入力信号電圧が4.8V（ $V s s = 0 V$ 、 $V d d = 5 V$ ）と高い場合の位相および振幅の周波数特性のシュミレーションを行った結果を示す。図3の場合と同様、シュミレーションに

【発明の効果】以上説明したように、本発明による増幅器では消費電流の増加や入力信号電圧の振幅範囲の制限を伴うことなく、小さい位相補償容量で安定な動作を実現してチップ面積を低減し、製造コストを下げるができる。従って、この増幅器を集積化したときのチップ面積を小さくして、集積度を上げると共に、製造コストを低減することが可能となる。さらに、本発明の増幅器を液晶ディスプレイ装置の集積化した駆動回路に適用することで、液晶ディスプレイ装置の低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る増幅器の構成を示す回路図

【図2】同実施形態に係る増幅器の入力信号電圧が高いときの動作を説明する図

【図3】同実施形態に係る増幅器の入力信号電圧が高いときの周波数特性を従来の増幅器と比較して示す図

【図4】同実施形態に係る増幅器の入力信号電圧が低いときの動作を説明する図

【図5】同実施形態に係る増幅器の入力信号電圧が低いときの周波数特性を従来の増幅器と比較して示す図

【図6】同実施形態に係る増幅器のより具体的な構成例を示す回路図

【図7】図1を変形した本発明の第2の実施形態に係る増幅器の構成を示す回路図

【図8】本発明の第3の実施形態に係る増幅器の構成を示す回路図

【図9】同実施形態に係る増幅器のより具体的な構成例を示す回路図

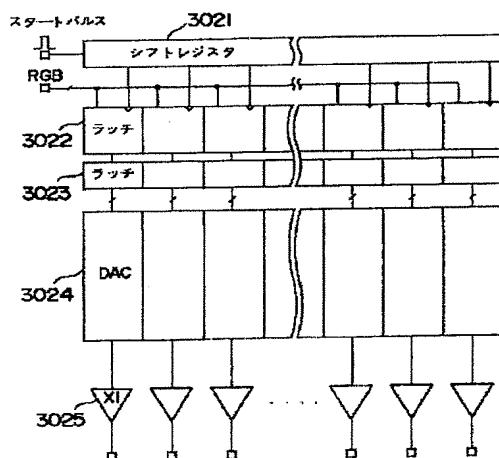
【図10】液晶ディスプレイ装置の構成を示す図

【図11】図10における液晶ディスプレイ駆動回路の構成を示す図

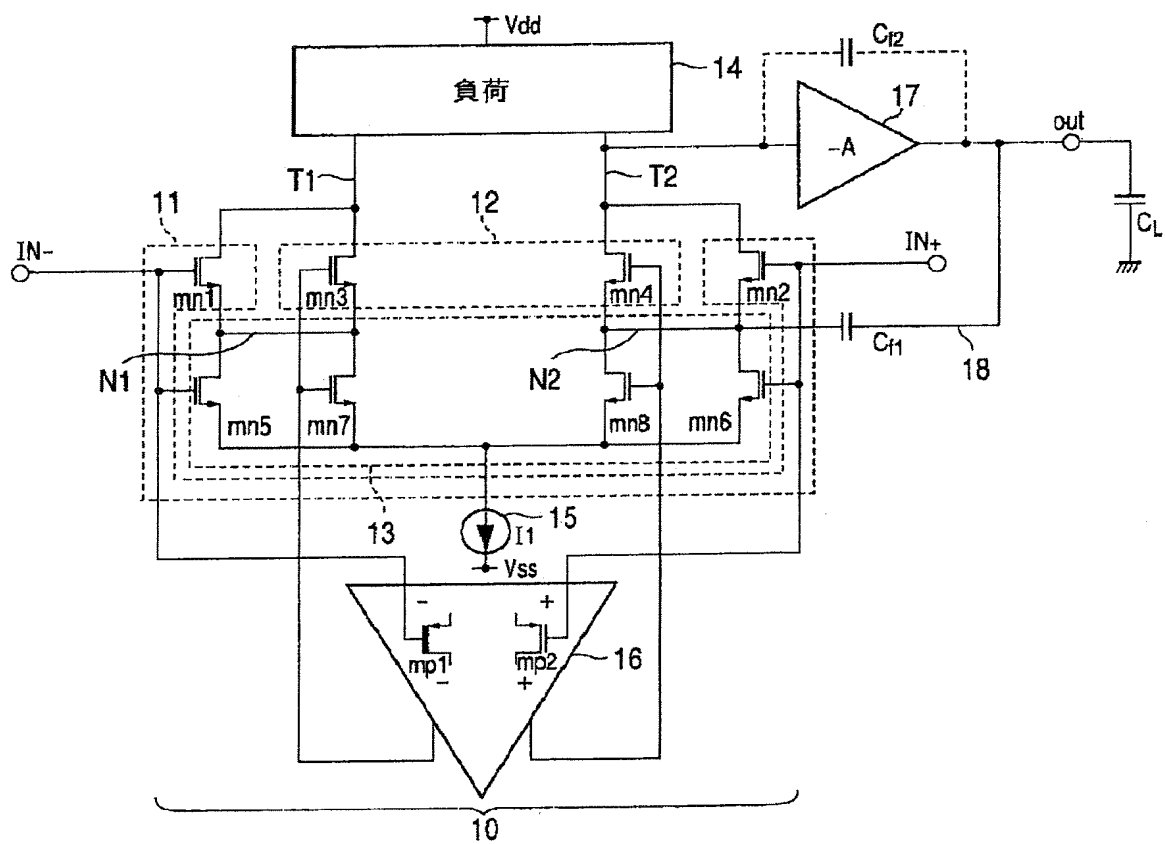
【符号の説明】

- 10…入力段増幅回路
- 11…第1の差動トランジスタ対
- 12…第2の差動トランジスタ対
- 13…トランジスタ回路
- 14…負荷
- 15…電流源
- 16…差動増幅回路
- 17…反転増幅回路
- 18…帰還回路
- 19…インピーダンス素子
- mn1, mn2…第1、第2のトランジスタ
- mn3, mn4…第3、第4のトランジスタ
- mn5, mn6, mn7, mn8…第5、第6、第7、第8のトランジスタ
- mp1, mp2…差動増幅回路のトランジスタ
- Vdd…高電位側電源端
- Vss…低電位側電源端
- Cf1, Cf2…キャパシタ（位相補償容量）
- CL…容量性負荷
- IN+, IN-…第1、第2の信号入力端子
- OUT…信号出力端子
- 300…液晶ディスプレイ
- 301…液晶セル
- 302…液晶ディスプレイ駆動回路
- 303…走査線選択回路
- 304…信号線
- 305…走査線

【図11】



【图 1】



際してキャパシタ $Cf1$ 、 $Cf2$ の容量値は同じとした。図5の結果から明らかなように、本実施形態によると従来のキャパシタ $Cf2$ のみによる位相補償を行った2段構成の増幅器に比べ、同じ容量値で位相余裕を大幅に改善できる。

【0032】ここで、従来のキャパシタ $Cf2$ のみによる位相補償を行った2段構成の増幅器では、本実施形態の増幅器と同等の位相余裕を得ようとすると、位相補償用キャパシタ $Cf2$ の容量を大きくするか、反転増幅回路17のバイアス電流を大きくしてトランスコンダクタンスを大きくするという方法をとるしかない。

【0033】これに対して、本実施形態の増幅器によると、位相補償用キャパシタ $Cf1$ 、 $Cf2$ の容量を小さくして集積回路化した場合の小面積化を図ることができ、また反転増幅回路16のバイアス電流を必要以上に大きくする必要がなく、消費電流を低減させることができる。

【0034】また、本実施形態の増幅器において、トランジスタ $mn1$ 、 $mn2$ 、 $nm3$ 、 $mn4$ は、トランジスタ $mn5$ 、 $mn6$ に対してカスコードトランジスタとして動作しているので、別にゲート接地回路を付加した場合に比較してゲート接地回路分の消費電流を小さくでき、この点も回路全体の消費電流の低減に寄与する。

【0035】さらに、本実施形態の増幅器では上述したように入力信号電圧が高い領域ではトランジスタ $mn1$ 、 $mn2$ 、 $mn5$ 、 $mn6$ が活性化し、入力信号電圧が低い領域ではトランジスタ $mn3$ 、 $mn4$ 、 $mn7$ 、 $mn8$ が活性化することによって、入力信号電圧を広い振幅範囲にわたって増幅することが可能であるため、図10に示したような液晶ディスプレイ装置における信号線を駆動するための駆動回路(図10の液晶ディスプレイ駆動回路302)の増幅器のように振幅範囲の広い画像信号を扱う用途に適している。

【0036】なお、本発明の手法では容量性負荷 C_L の容量が小さくなると、文献[2]で解析されている通り、動作が不安定になることもあるので、図1に点線で示したように従来の位相補償と同様、反転増幅回路16の入出力端間に設けたキャパシタ(位相補償容量) $Cf2$ を併用してもよい。

【0037】次に、図6を用いて本実施形態のより具体的な例を説明する。図6は、図1における差動増幅回路14、負荷15および反転増幅回路16の構成を具体的に示している。負荷15は、トランジスタ $mp11$ 、 $mp12$ からなるカレントミラー回路により構成され、反転増幅回路16はトランジスタ $mp21$ と電流源13からなるソース接地増幅回路により構成される。

【0038】差動増幅回路14は、トランジスタ $mp1$ 、 $mp2$ による差動トランジスタ対と、ダイオード接続されたトランジスタ $mn11$ 、 $mn13$ と、トランジスタ $mn3$ 、 $mn4$ 、 $mn7$ 、 $mn8$ に適切な動作点を

与えるためのレベルシフト回路として動作するトランジスタ $mn12$ 、 $mn14$ より構成されている。

【0039】この差動増幅回路14では、入力信号電圧が高いときは入力部の差動トランジスタ対を構成するトランジスタ $mp1$ 、 $mp2$ がオフとなるため、増幅回路14の出力に信号成分は伝達されない。また、差動増幅回路14の出力であるトランジスタ $mn11$ 、 $mn13$ のドレイン電圧は入力信号電圧より低くなるので、トランジスタ $mn3$ 、 $mn4$ 、 $mn7$ 、 $mn8$ はトランジスタ $mn1$ 、 $mn2$ 、 $mn5$ 、 $mn6$ の動作に影響を与えない。

【0040】(第2の実施形態)図7は、本発明の第2の実施形態に係る増幅器であり、図1におけるトランジスタ回路13を变形した例を示している。すなわち、図1ではトランジスタ $mn5$ ~ $mn8$ の一端はバイアス電流源15に接続されているが、図7ではトランジスタ $mn5$ ~ $mn8$ のソースおよびドレインは、トランジスタ $mn1$ 、 $mn3$ の共通ソースおよびトランジスタ $mn2$ 、 $mn4$ の共通ソースに各々接続されている。また、図1のバイアス電流源15は2つの電流源15-1、15-2に分割され、各々トランジスタ $mn1$ 、 $mn3$ の共通ソースとトランジスタ $mn2$ 、 $mn4$ の共通ソースに接続される。

【0041】本実施形態によると、トランジスタ $mn6$ 、 $mn8$ がトランジスタ $mn2$ 、 $mn4$ のソース端(共通ノードN2)を他のノードと分離するように動作する点は図1に示した第1の実施形態と変わらず、第1の実施形態と同様の効果を得ることができる。

【0042】(第3の実施形態)図8に、本発明の第3の実施形態に係る増幅器を示す。図1、図7に示した第1、第2の実施形態では、トランジスタ回路13によりトランジスタ $mn6$ 、 $mn8$ がトランジスタ $mn2$ 、 $mn4$ のソース端(共通ノードN2)を他のノードと分離するようにしたが、図8に示すようにトランジスタ回路13に代えて、抵抗などによるインピーダンス素子19を用いてもよい。

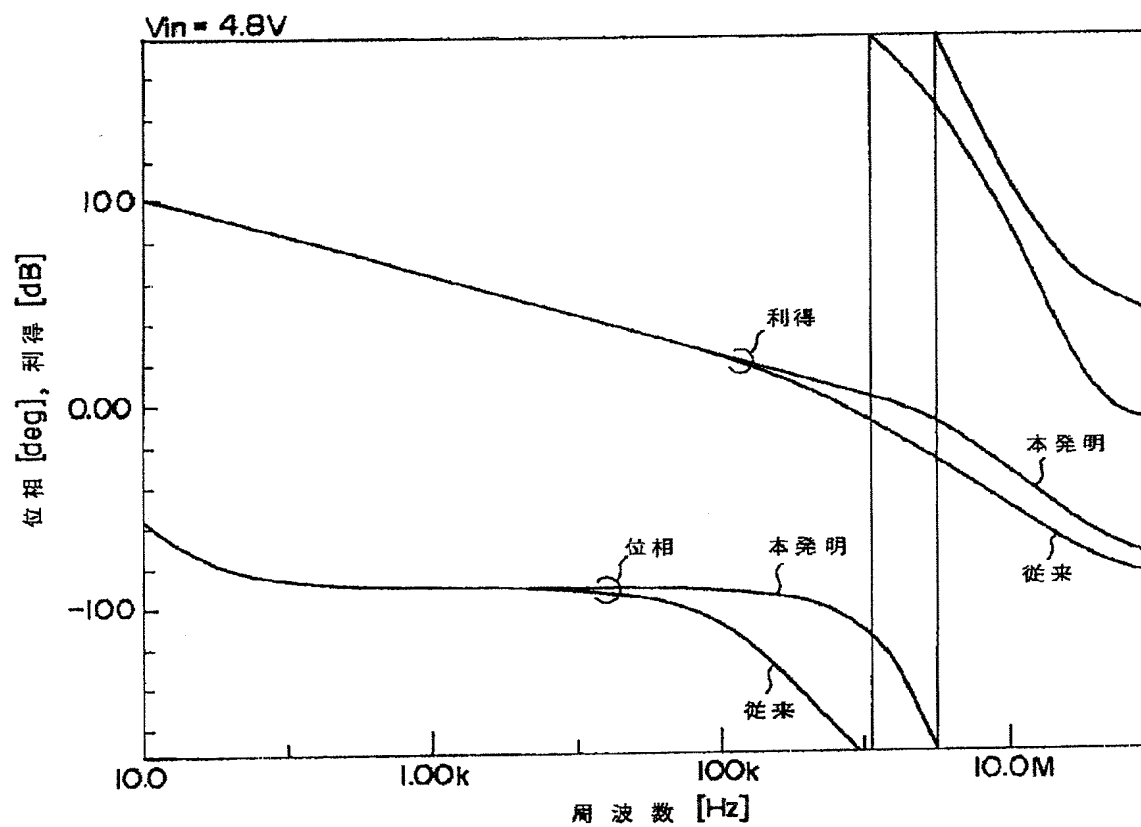
【0043】図9に、インピーダンス素子19の具体例を示す。この例では、インピーダンス素子19はゲートを回路の最高電位点である高電位側電源端 V_{dd} 、最低電位点である低電位側電源端 V_{ss} にそれぞれ接続されたトランジスタ mnR 、 mpR のオン抵抗を利用して構成される。

【0044】なお、以上の実施形態ではFET(MOSトランジスタ)を用いて構成した増幅器について説明してきたが、各トランジスタをバイポーラトランジスタに置き換えて本発明の増幅器を構成することもできる。その場合は、FETのゲート、ドレイン、ソースをそれぞれバイポーラトランジスタのベース、コレクタ、エミッタに置き換えて考えればよい。

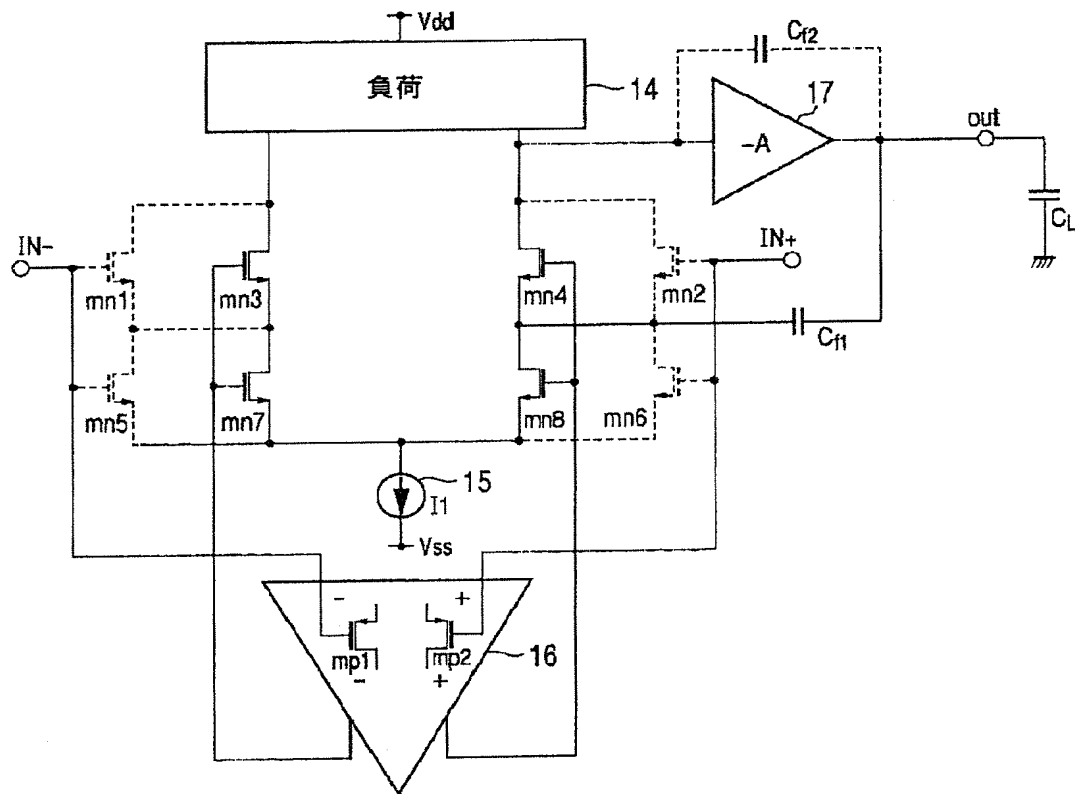
【0045】

The circuit diagram shows a differential amplifier with a feedback loop. The input stage consists of a differential pair of NMOS transistors (mn1, mn2) with a tail current source (15) connected to Vss. The gates of mn1 and mn2 are connected to the output of an inverter (17). The inverter (17) has a feedback capacitor C12 connected to its input (IN+) and a capacitor C11 connected to its output (out). The output (out) is also connected to a load capacitor CL. The load (14) is connected to the output of the differential pair (mn1, mn2) and to the input (IN-) of the differential pair. The differential pair is biased by a current source (15) connected to Vss. The load (14) is connected to Vdd. The inverter (17) is connected to the output (out) and to the input (IN+). The feedback capacitor C12 is connected to the input (IN+) and the output (out). The capacitor C11 is connected to the output (out) and the input (IN+). The load capacitor CL is connected to the output (out) and ground.

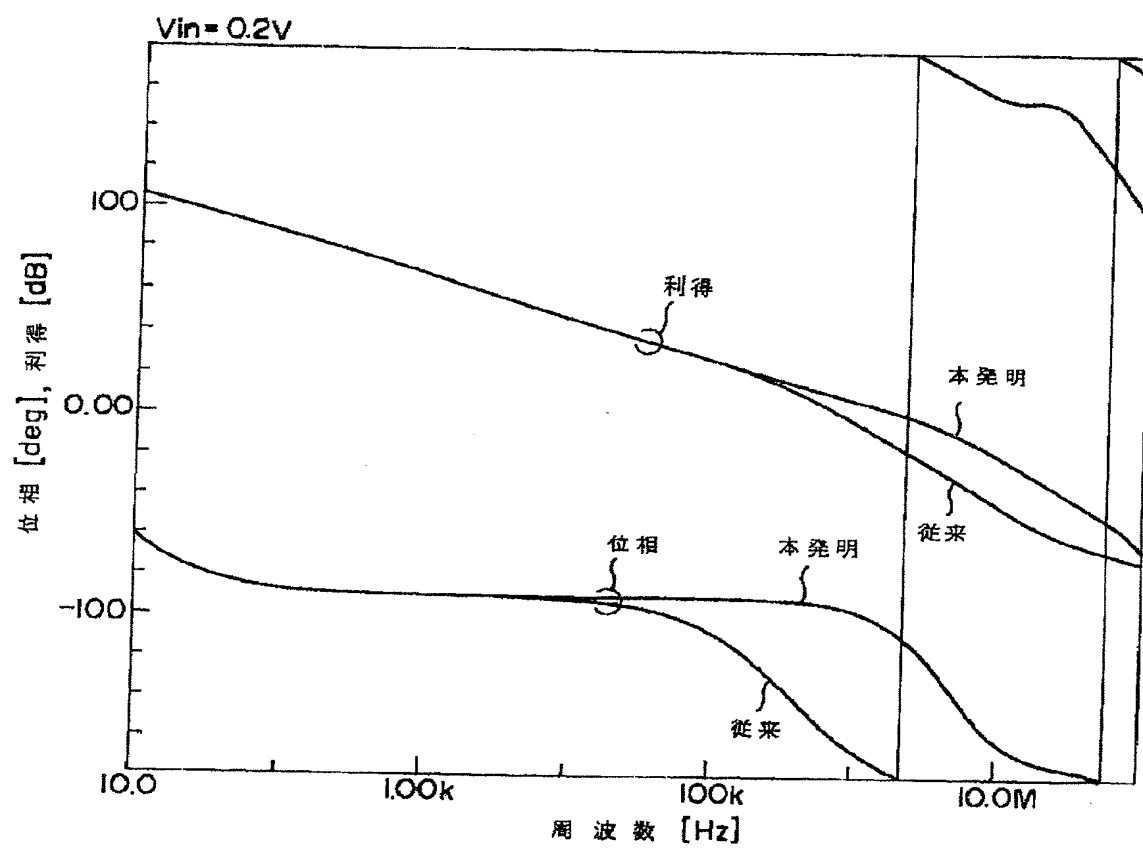
【図3】



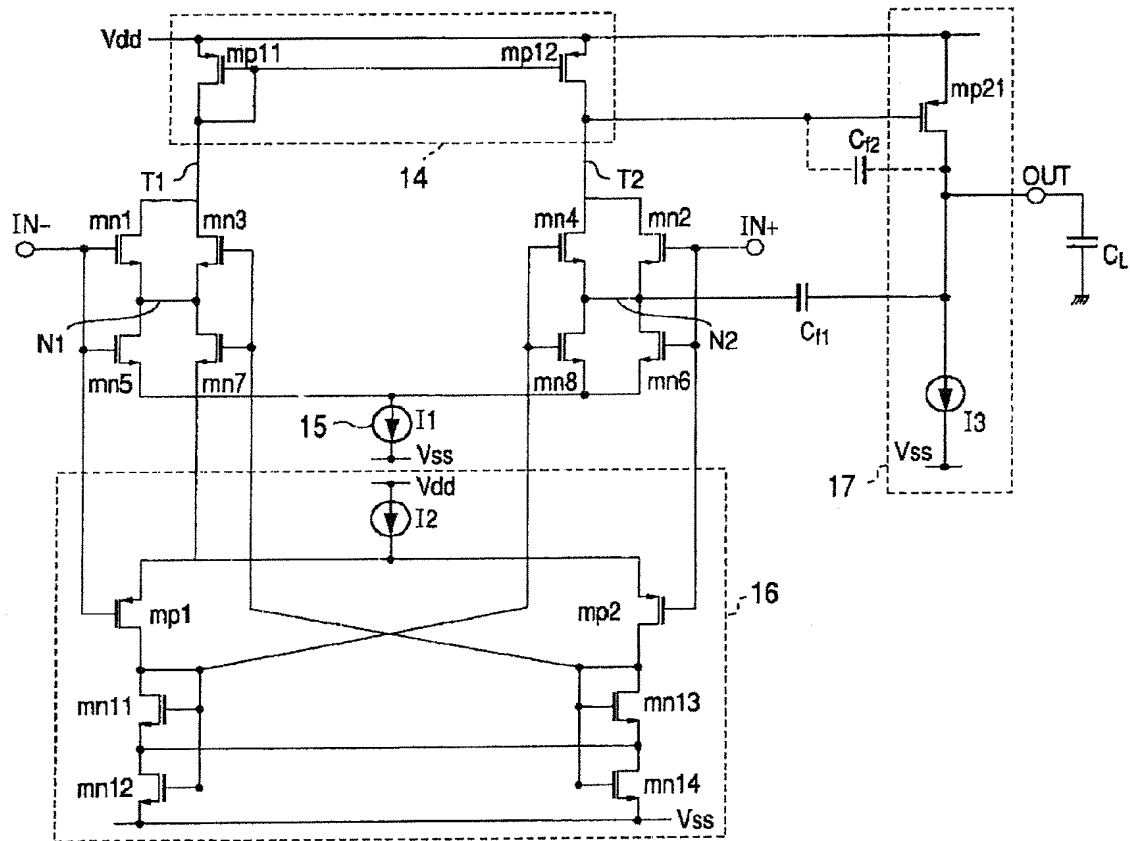
【図4】



【図5】

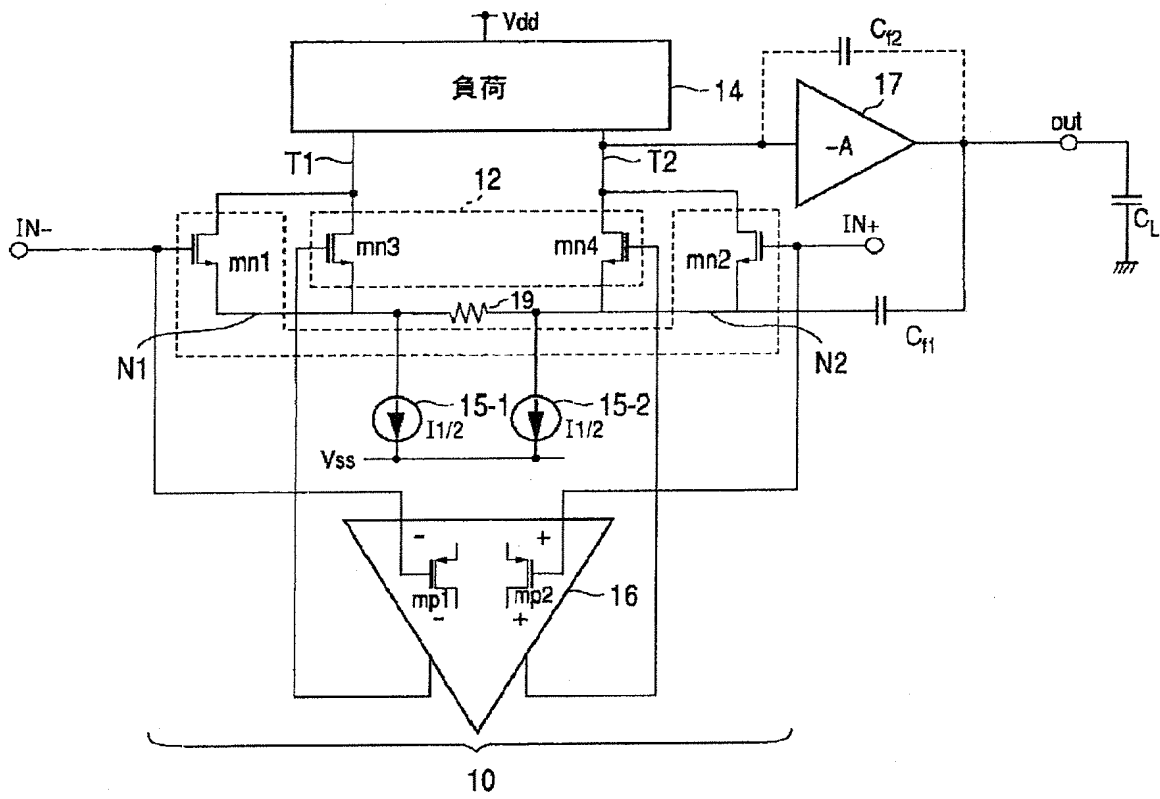


【図 6】

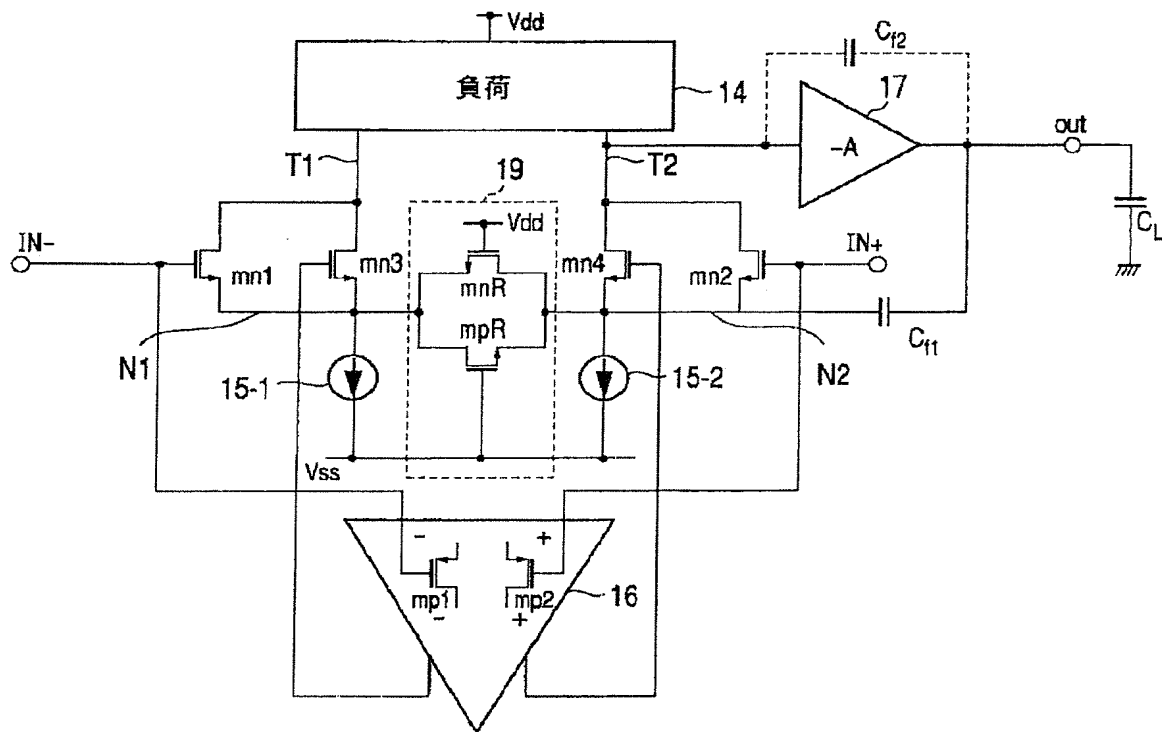


The circuit diagram shows a differential amplifier configuration. At the top, a load labeled "負荷" (Load) is connected to V_{DD}. The input stage consists of two NMOS transistors, mn1 and mn2, whose sources are connected to a common source node. This node is connected to a current source I_{1/2} (labeled 15-1). Another NMOS transistor, mn3, is connected to the gate of mn1 and its source to another current source I_{1/2} (labeled 15-2). The gates of mn1 and mn2 are connected to a biasing network consisting of two PMOS transistors, mp1 and mp2, which are connected to V_{DD} and their sources to a common point. The output of the first stage is taken from the drain of mn1, which is also connected to a feedback capacitor C₁₂. The second stage is a buffer or follower stage, represented by a triangle labeled -A, which takes the output of the first stage as input and drives the final output node. The output node is connected to a load capacitor C_L and ground.

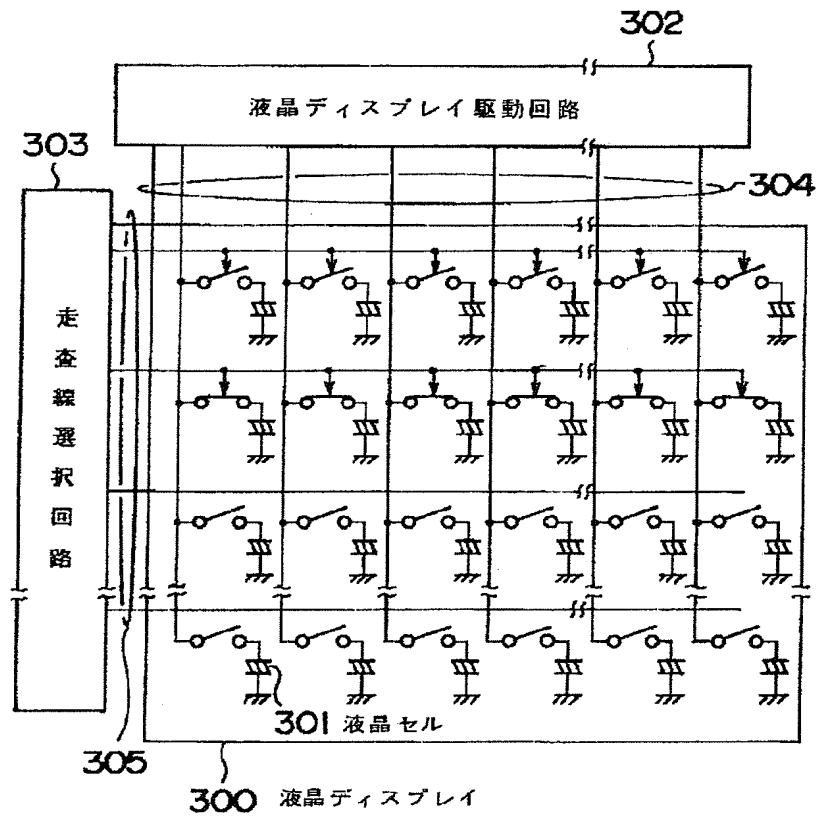
【図8】



【図 9】



【図10】



フロントページの続き

Fターム(参考) 2H093 NA16 NC22 NC23 NC25 NC27
 NC34 NC44 NC90 ND33 ND37
 ND39 ND40 ND48 NE07
 5J066 AA01 CA78 CA87 CA92 FA15
 HA08 HA10 HA17 HA25 HA29
 HA38 KA02 KA04 KA05 KA09
 KA18 KA34 KA36 MA13 MA17
 ND04 ND05 ND11 ND22 ND23
 PD01 SA08 TA03